

GaN/AlGaIn/GaN分極超接合構造トランジスタのスイッチング特性

Switching Characteristics of GaN/AlGaIn/GaN Polarization Super Junction (PSJ) Transistor

パウデック ○八木 修一, 平田 祥子, 松本 壮太, 孝治 吉春, 杉浦 浩, 河合 弘治

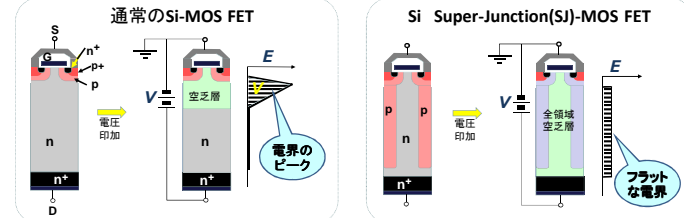
POWDEC K.K., ○Shuichi. Yagi, S. Hirata, S. Matsumoto, Y. Kouji, H. Sugiura, H. Kawai
E-mail: info@powdec.co.jp



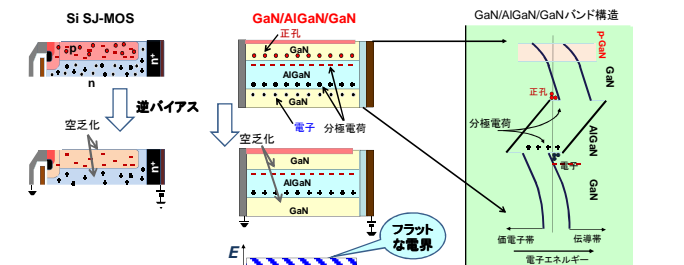
[1. はじめに]

ゲート近傍の高電界は、耐圧低下、電流コラプス、長期信頼性低下などの問題を引き起こす ⇒ **電界強度の低減化が必要**

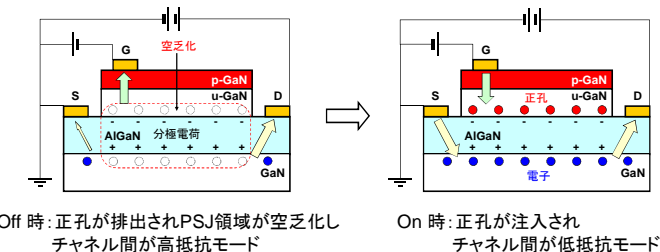
・電界強度の低減化手法としてSi スーパー Junctionをお手本



・GaN/AlGaIn/GaN 分極接合(PSJ)はSi SJ-MOSと同様な電界強度の低減化効果を得ることができる



・スイッチング動作は?



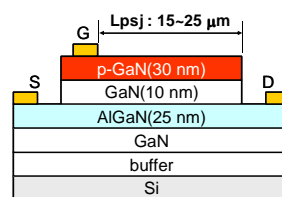
従って、スイッチング特性は正孔の動作速度に影響される
移動度・・・2DEG: 10^3 [cm²/Vs], 2DHG: 10^1 [cm²/Vs]
従来のGaN-HFETでは数nsでのスイッチング

[2. 目的]

Si基板上にGaN-PSJトランジスタを作製し、スイッチング特性を評価

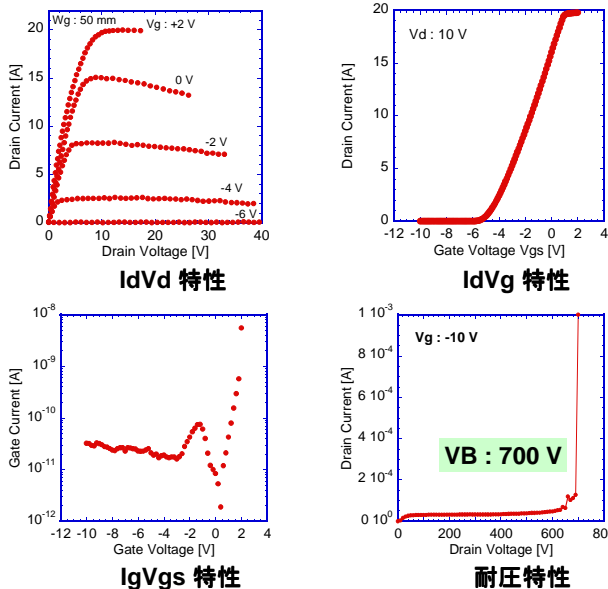
[3. 素子構造と素子作製]

Si基板上にMOCVD法を用いてエピタキシャル成長

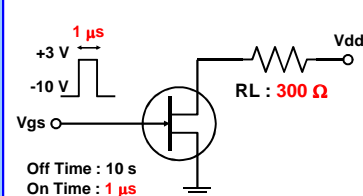


- ・ドライエッチングにて素子構造形成
- ・RTAによりオーミック電極熱処理
- ・コンタクト抵抗:
p-GaN: 10^{-3} 台 [Ω・cm²]
AlGaIn: 10^{-6} 台 [Ω・cm²]
- ・パッシベーション膜: SiO₂

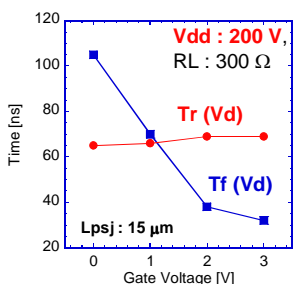
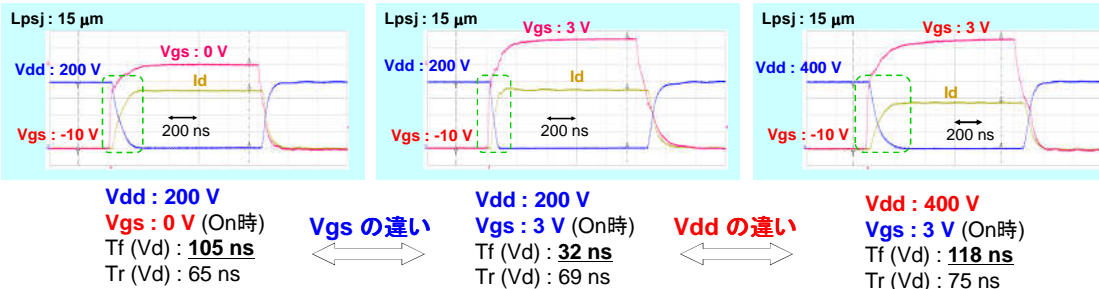
[4. I-V 特性] Wg : 50 μm, Lpsj : 15 μm の素子の例



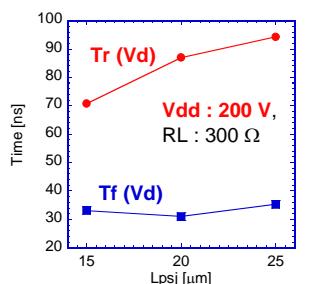
[5. スwitching特性]



スイッチング評価回路図



Vg に対するスイッチング特性



Lpsj 長に対するスイッチング特性

[6. まとめ]

- ・Vdd : 400 V, RL : 300 Ωにおいて、Tf : 118 ns, Tr : 75 ns のスイッチング動作を確認した。
- ・1 μs のゲートパルスにおいて電流コラプスの影響はなかった。
- ・ゲート電圧を上げるとTf が減少した。
- ・Lpsj 長が長くなると、Tf は殆ど変わらないが、Tr は増加した。

謝辞:

本研究はNEDO平成24年度ベンチャー企業への実用化助成事業を受けたものである。



GaN/AlGaIn/GaN

分極接合構造トランジスタの耐圧特性

Breakdown Voltage Characteristics of GaN/AlGaIn/GaN Polarization Super-Junction (PSJ) Transistor

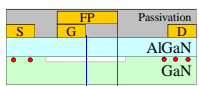
パウデック ○松本 壮太, 平田 祥子, 孝治 吉春, 杉浦 浩, 八木 修一, 河合 弘治
 POWDEC K.K., ○Sota Matsumoto, S. Hirata, Y. Kouji, H. Sugiura, S. Yagi, H. Kawai
 E-mail: info@powdec.co.jp

【1.はじめに】

【GaNトランジスタの高耐圧化の手法】

□金属フィールドプレート(FP)構造

ゲートやソース電極に底をつけることで、ピーク電界を緩和する構造



- ◇FPでゲート端のピーク電界を抑制
- ・電流コラプスの抑制
- ・高耐圧化

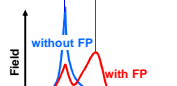
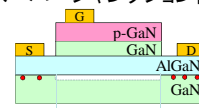


図1. FPトランジスタ(OFF時)

□PSJ(Polarization Super-Junction)構造

GaN/AlGaIn/GaN分極接合による二次元電子ガス及び二次元正孔ガスを利用したスーパー Junction構造



- ◇スーパー Junction構造によるフラットな電界分布
- ・電流コラプスの抑制
- ・高耐圧化



図2. PSJトランジスタ(OFF時)

PSJ構造は、FP構造と同様の効果が得られる。

【2.目的】

□Si基板上にPSJトランジスタを作製し、Si基板が素子耐圧およびドレインリーク電流に与える影響を調べる。

【3.Si基板上PSJトランジスタのドレインリーク電流】

□Si基板上に、MOCVD法で図3の構造をエピタキシャル成長した。

□ドライエッチング法を用いて素子構造を作製した。

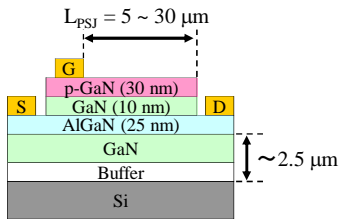


図3. PSJトランジスタの素子構造

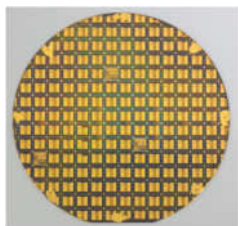


図4. 4インチSi基板上に作製した素子

◇基板接地条件で素子耐圧の測定を行った。

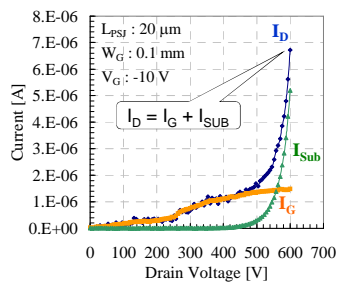


図5. Si基板上PSJトランジスタの耐圧特性

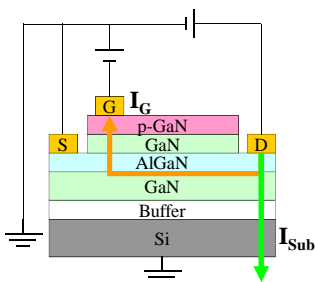


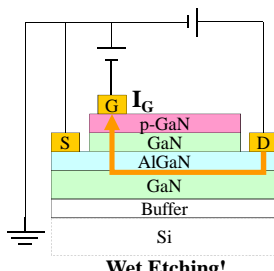
図6. ドレインリークパス

■ Si基板に電流がリークしている。

【4.Si基板を除去したPSJトランジスタの耐圧特性】

□フッ化水素酸と硝酸の混合液でSi基板をエッチングした。

◇基板除去した素子の耐圧測定を行った。



Wet Etching!

図9. Si基板除去した素子構造

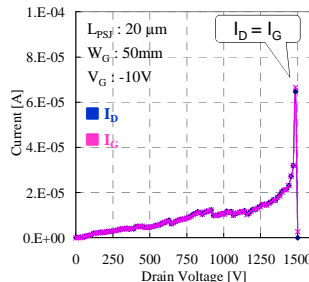


図10. Si基板除去した大型素子の耐圧特性

■ Si基板を取り除くことで基板リークを抑制。

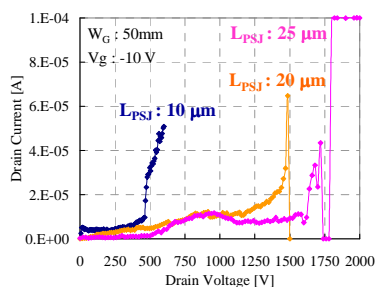


図11. Si基板除去した大型素子の耐圧測定結果

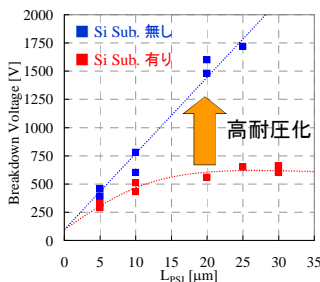


図12. L_Psjと耐圧の相関図

■ Si基板を取り除くことで1.7kV超の耐圧が得られた。

【5. Si基板除去後の素子評価】

□Si基板除去を行った素子のI_DV_D特性、スイッチング特性評価を行った。

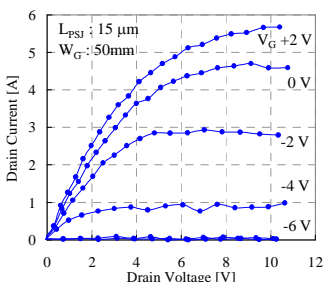


図13. Si基板除去素子のI_DV_D特性

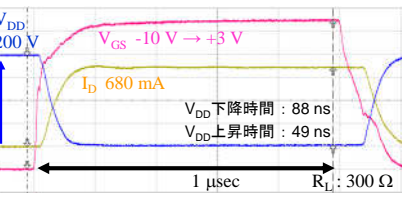


図14. Si基板除去素子のスイッチング特性

■ Si基板剥離後も、電流コラプスの影響が無い。

【6.まとめ】

□Si基板上に作製したPSJトランジスタは、基板を通じてドレイン電流がリークしていることが判明した。

□Si基板を取り除くことで耐圧が1.7 kV超となることから、Si基板が素子耐圧を決めることが判明した。

□PSJ構造は、Si基板を除去しても電流コラプスを抑制する構造であることを確認した。

【参考文献】

- [1] 八木 他, 第58回応用物理学関係連合講演会 (2011)26a-P6-7
- [2] S.Yagi et al. SSDM2011. A-1-5.2011

【謝辞】

耐圧測定に当たり、アジレントテクノロジー・インターナショナル株式会社にご協力頂きました。御礼申し上げます。

本研究はNEDO平成24年度ベンチャー企業への実用化助成事業を受けて行われた。